

## Semiconductor device and method for manufacturing the same

Patent Number: US2002195683

Publication  
date: 2002-12-26

Inventor(s): LEE JONG-HO (KR); LEE JOO-WON (KR); LEE SANG-IN (KR); CHANG YOON-HEE (KR); CHOI SUNG-JE (KR); KIM YEONG-KWAN (KR); LEE SEUNG-HWAN (KR); LIM JAE-SOON (KR); PARK HEUNG-SOO (KR); PARK YOUNG-WOOK (KR)

Applicant(s):

Requested  
Patent: JP2001111000

Application  
Number: US20000535949 20000327

Priority Number  
(s): US20000535949 20000327; KR19990033520 19990814

IPC  
Classification: H01L29/00

EC  
Classification: H01L21/02B3C; H01L21/28E2C2; H01L29/51B

Equivalents: CN1284747, DE10022425, GB2353404, KR2001017820, TW436907

### Abstract

A semiconductor device includes a first electrode formed of a silicon-family material, a dielectric layer formed by sequentially supplying reactants on the first electrode, and a second electrode having a work function larger than that of the first electrode, with the second electrode being formed on the dielectric layer. The first electrode and the second electrode can be a lower electrode and an upper electrode, respectively, in a capacitor structure. Also, the first electrode and the second electrode can be a silicon substrate and a gate electrode, respectively, in a transistor structure. A stabilizing layer, which is, for example, a silicon oxide layer, a silicon nitride layer, or a composite layer of the silicon oxide layer and the silicon nitride layer, for facilitating the formation of the dielectric layer by hydrophilizing the surface of the first electrode, may be formed on the first electrode. The dielectric layer can be formed by an atomic layer deposition method. Accordingly, in the semiconductor device, it is possible to improve the insulating characteristic of the dielectric layer and to increase a capacitance value in the capacitor structure

Data supplied from the **esp@cenet** database - I2

## Description

### CROSS-REFERENCE TO RELATED APPLICATIONS

[0001] This application is based upon and claims priority from Korean Patent Application No. 99-33520 filed Aug. 14, 1999, the contents of which are incorporated herein by reference.

### BACKGROUND OF THE INVENTION

[0002] 1. Field of the Invention

[0003] The present invention relates to a semiconductor device and a method for manufacturing the same. More particularly, the present invention relates to a semiconductor device in which it is possible to improve the insulating characteristics of a high dielectric layer (a dielectric layer with a large dielectric constant) when a semiconductor material is used as a lower electrode. The invention also relates to a method for manufacturing the same.

[0004] 2. Description of the Related Art.

[0005] Normally, semiconductor devices have a structure in which a dielectric layer is formed between a lower electrode and an upper electrode. For example, a transistor structure in which a dielectric layer (a

gate insulating layer) and a gate electrode are sequentially formed on a silicon substrate, which operates as the lower electrode. A capacitor structure having the dielectric layer and an upper electrode are sequentially formed on the lower electrode.

[0006] The insulating characteristic of the dielectric layer which exists between the upper electrode and the lower electrode is very important. For example, the breakdown voltage characteristic of a transistor is influenced by the insulating characteristic of the dielectric layer in the transistor structure. Capacitance values vary according to the insulating characteristic of the dielectric layer in the capacitor structure.

[0007] In particular, the capacitance value becomes large when the surface area and the dielectric constant of the dielectric layer in the capacitor structure are large. Thus, a polysilicon layer by which a three-dimensional structure is easily realized is used as the lower electrode. Also, a tantalum oxide layer (Ta<sub>2</sub>O<sub>5</sub>) or a BST (BaSrTiO<sub>3</sub>) layer having a high dielectric constant is used as the high dielectric layer. However, when the high dielectric layer, such as the tantalum oxide layer (Ta<sub>2</sub>O<sub>5</sub>) or the BST (BaSrTiO<sub>3</sub>) layer, is used as the dielectric layer, processes become complicated since subsequent processes are needed in order to obtain a stable capacitor. In the case of the Ta<sub>2</sub>O<sub>5</sub> or the BST layer being used as the dielectric layer, the material of the upper and lower electrodes must be changed. Therefore, in the capacitor structure, it is necessary to improve the insulating characteristic of the high dielectric layer when a polysilicon layer is used as the lower electrode.

#### SUMMARY OF THE INVENTION

[0008] Thus, to overcome the problems noted above with the prior art, the present invention provides a semiconductor device wherein it is possible to improve the insulating characteristic of a high dielectric layer when a silicon-family material is used as a lower electrode.

[0009] Another feature of the present invention is to provide a method suitable for manufacturing the semiconductor device.

[0010] Accordingly, to achieve the features noted above, a semiconductor device is provided, which includes a first electrode formed of a silicon-family material, a dielectric layer formed on the first electrode by sequentially supplying reactants, and a second electrode having a work function larger than that of the first electrode formed of the silicon-family material. The second electrode is formed on the dielectric layer.

[0011] In addition, the present invention provides a method for manufacturing a semiconductor device, with the method including the steps of forming a first electrode formed of a silicon-family material on a semiconductor substrate, forming a dielectric layer on the first electrode by sequentially supplying reactants, and forming a second electrode having a work function larger than that of the first electrode formed of the silicon-family material, with the second electrode being formed on the dielectric layer.

[0012] The first electrode and the second electrode can be respectively used as a lower electrode and an upper electrode in a capacitor structure. Also, the first electrode and the second electrode can be respectively used as a silicon substrate and a gate electrode in a transistor structure.

[0013] The second electrode can be formed of a metal layer, a refractory metal layer, an aluminum layer, a conductive oxide layer, a combination of the above, or a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

[0014] A stabilizing layer, such as a silicon oxide layer, a silicon nitride layer, or a composite layer of the silicon oxide layer and the silicon nitride layer, for facilitating the formation of the dielectric layer by hydrophilizing the surface of the first electrode can also be formed on the first electrode. The dielectric layer can be formed by an atomic layer deposition method.

[0015] According to the present invention, the silicon-family material is used as the lower electrode. The dielectric layer is formed by an atomic layer deposition method, and the upper electrode is formed of a material layer having a work function larger than that of the lower electrode. Accordingly, it is possible to improve the insulating characteristic of the dielectric layer and to increase the capacitance value in the capacitor structure.

#### BRIEF DESCRIPTION OF THE DRAWINGS

[0016] These and other features, characteristics, and advantages of the present invention will become more apparent by describing in detail preferred embodiments thereof with reference to the attached drawings. In the drawings:

[0017] FIG. 1 is a cross-sectional view showing a semiconductor device according to a first embodiment of the present invention;

[0018] FIG. 2 shows a cross-sectional view of a semiconductor device according to a second embodiment of the present invention;

[0019] FIGS. 3A-3C and 4A-4C schematically show the barrier heights and equivalent circuits of a

conventional capacitor and the capacitor according to the first embodiment, respectively;

[0020] FIG. 5 is a graph showing leakage current densities according to a voltage, of a conventional capacitor (SIS) and a MIS capacitor of the present invention;

[0021] FIG. 6 is a graph showing barrier heights of the conventional SIS capacitor and the MIS capacitor according to the present invention;

[0022] FIGS. 7 and 8 are graphs showing the leakage current densities as a function of voltage of the MIS capacitor of the present invention and the conventional SIS capacitor, respectively;

[0023] FIG. 9 is a graph showing processes of supplying and purging the respective reactants while the dielectric layer of the capacitor shown in FIG. 1 is formed by an atomic layer deposition method;

[0024] FIG. 10 is a graph showing the uniform thickness of the dielectric layer formed by the atomic layer deposition method of the present invention;

[0025] FIGS. 11A and 11B show the x-ray photoelectron spectroscopy (XPS) peak value of the dielectric layer formed by the atomic layer deposition method according to the present invention;

[0026] FIGS. 12 and 13 are cross-sectional views illustrating a method for manufacturing the capacitor of the semiconductor device shown in FIG. 1; and

[0027] FIG. 14 is a graph showing the thicknesses of an aluminum oxide layer versus number of cycles in cases where a stabilizing layer is represented by the line (a), and is not formed on the surface of the lower electrode in the MIS capacitor of the present invention.

#### DESCRIPTION OF THE ILLUSTRATIVE EMBODIMENTS

[0028] Illustrative embodiments of the present invention will now be described with reference to the accompanying FIGURES.

[0029] FIG. 1 is a cross-sectional view showing a semiconductor device according to a first embodiment of the present invention. More specifically, the semiconductor device according to the present invention has a capacitor structure. Namely, the semiconductor device of the present invention includes lower electrode 33 of a capacitor, dielectric layer 37, and upper electrode 39 of the capacitor used as a second electrode. All elements, lower electrode 33, dielectric layer 37 and upper electrode 39 are formed on semiconductor substrate 31, which is, i.e., a silicon substrate used as a first electrode. In FIG. 1, reference numeral 32 denotes an inter level dielectric layer.

[0030] Lower electrode 33 is formed of a layer made of a silicon-family material from which a three-dimensional structure is easily formed, e.g., a polysilicon layer doped with impurities such as phosphorus (P). Dielectric layer 37 is formed by an atomic layer deposition method in which reactants are sequentially supplied. Since dielectric layer 37 is formed by an atomic layer deposition method, the dielectric layer 37 has an excellent step coverage characteristic. Dielectric layer 37 is formed of an aluminum oxide, an aluminum hydroxide, Ta<sub>2</sub>O<sub>5</sub>, BST (BaSrTiO<sub>3</sub>), SrTiO<sub>3</sub>, PbTiO<sub>3</sub>, PZT (PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), PLZT (PZT doped with La), Y<sub>2</sub>O<sub>3</sub>, CeO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>, SiN, Si<sub>3</sub>N<sub>4</sub> or any combination of the above. Upper electrode 39 is formed of a layer of material having a work function larger than that of lower electrode 33 formed of the silicon-family material. Upper electrode 39 is formed of a metal layer such as Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, and Ir, a refractory metal layer such as Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi, and W, a conductive oxide layer such as RuO<sub>2</sub>, RhO<sub>2</sub>, and IrO<sub>2</sub>, combinations of the above, or a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

[0031] When upper electrode 39 has a work function larger than that of the lower electrode 33, it is possible to improve the insulating characteristic of the dielectric layer by reducing the amount of current which flows from the lower electrode 33 to the upper electrode 39 as mentioned below.

[0032] Furthermore, in the semiconductor device according to the present invention, stabilizing layer 35, which is, e.g., a silicon oxide layer, a silicon nitride layer, or a composite layer of the silicon oxide and the silicon nitride layers, facilitates the formation of dielectric layer 37, and is formed on the lower electrode 33 of the capacitor. For example, when the dielectric layer is formed using an atomic layer deposition method, stabilizing layer 35 is a hydrophilic layer which hydrophilizes the surface of lower electrode 33 in the case where the reactant supplied on lower electrode 33 is a hydrophilic material.

[0033] FIG. 2 shows a cross-sectional view of a semiconductor device according to a second embodiment of the present invention. To be specific, the semiconductor device according to the second embodiment of the present invention has a transistor structure rather than a capacitor structure as in FIG. 1. The semiconductor device according to the present invention includes silicon substrate 61, which is doped with impurities such as phosphorus (P), arsenic (As), boron (Br), and fluorine (F), used as the first electrode, gate insulating layer 65, used as the dielectric layer, and gate electrode 67, used as the second electrode.

[0034] Namely, in the semiconductor device according to the second embodiment of the present invention, silicon substrate 61 and gate electrode 67, respectively, correspond to the lower electrode and the upper

electrode, compared with the semiconductor device according to the first embodiment of the present invention. In FIG. 2, reference numeral 62, which is an impurity doping region, denotes a source or drain region.

[0035] Gate insulating layer 65 is formed by an atomic layer deposition method including the sequential supply of reactants. Since gate insulating layer 65 is formed by an atomic layer deposition method, gate insulating layer 65 has an excellent step coverage characteristic. Gate insulating layer 65 is formed of an aluminum oxide, an aluminum hydroxide, Ta<sub>2</sub>O<sub>5</sub>, BST (BaSrTiO<sub>3</sub>), SrTiO<sub>3</sub>, PbTiO<sub>3</sub>, PZT, PLZT, Y<sub>2</sub>O<sub>3</sub>, CeO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>, SiN, Si<sub>3</sub>N<sub>4</sub> or any combination thereof.

[0036] Gate electrode 67 is formed of a layer of material having a work function larger than that of lower electrode 61, which is formed of the silicon-family material. Gate electrode 67 is formed of a metal layer such as Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, and Ir, a refractory metal layer such as Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi, and W, a conductive oxide layer such as RuO<sub>2</sub>, RhO<sub>2</sub>, and IrO<sub>2</sub>, any combination thereof, or a double layer in which a layer of material having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

[0037] When gate electrode 67 has a work function larger than that of the silicon substrate 61, it is possible to improve the insulating characteristic of gate insulating layer 65 since it is possible to reduce the amount of current which flows from silicon substrate 61 to gate electrode 67.

[0038] Furthermore, in the semiconductor device of the present invention, stabilizing layer 63, which is, e.g., a silicon oxide layer, a silicon nitride layer, or a composite layer of the silicon oxide and the silicon nitride layers, for facilitating the formation of gate insulating layer 65, is formed on the silicon substrate 61. For example, when the dielectric layer is formed using an atomic layer deposition method, stabilizing layer 63 is a hydrophilic layer which hydrophilizes the surface of silicon substrate 61 in the case where the reactant supplied to silicon substrate 61 is a hydrophilic material.

[0039] The insulating characteristic of the dielectric layer will be described with reference to the first embodiment, i.e., the capacitor structure, for the sake of convenience. The description of the insulating characteristic of the dielectric layer can also be applied to the transistor structure in the second embodiment. That is to say, the lower electrode of the capacitor corresponds to the silicon substrate of the transistor and the upper electrode of the capacitor corresponds to the gate electrode of the transistor.

[0040] FIGS. 3A-3C and 4A-4C schematically show the barrier heights and equivalent circuits of a conventional capacitor and the capacitor of FIG. 1, respectively.

[0041] To be specific, FIGS. 3A-3C illustrate barrier height and equivalent circuit of the conventional capacitor. In the conventional capacitor shown in FIGS. 3A-3C, the upper and lower electrodes are formed of a polysilicon layer doped with impurities and the dielectric layer is formed of an aluminum oxide layer having a thickness of 60 Å using an atomic layer deposition method (SIS capacitor). FIGS. 4A-4C depict the barrier height and equivalent circuit of the capacitor of FIG. 1. In the capacitor of FIGS. 4A-4C, which is preferably a metal-insulator-semiconductor (MIS) capacitor, the lower electrode is formed of the polysilicon layer doped with impurities as the silicon-family material layer. The dielectric layer is formed of an aluminum oxide layer having a thickness of 60 Å using an atomic deposition method, and the upper electrode is formed of a TiN layer having a work function larger than that of the lower electrode. In the MIS capacitor of the present invention, the upper electrode can be formed of a double layer including the TiN layer and the polysilicon layer doped with impurities. In this case, the polysilicon layer doped with impurities controls the surface resistance from the viewpoint of the operation of the semiconductor device.

[0042] In FIGS. 3A-3C and 4A-4C, electrons which exist in the lower electrode can move to the upper electrode by passing through a first resistance component 41 corresponding to an initial barrier (a) and a second resistance component 43 of the dielectric layer when a positive bias is applied to the upper electrode.

[0043] In the capacitor of the present invention shown in FIGS. 4A-4C, the electrons pass through the initial barrier (a) and move toward the upper electrode having a higher barrier than the prior art capacitor when a positive bias voltage is applied to the upper electrode. At this time, since a slope is formed by the difference (b2-a) between the barrier of the lower electrode and the barrier of the upper electrode, this slope operates as a third resistance component 45 which prevents the flow of the electrons, thus preventing the electrons from flowing from the lower electrode to the upper electrode, and thus improving the insulating characteristic of the dielectric layer.

[0044] When a negative-bias voltage is applied to the upper electrode (FIGS. 3C and 4C), it is difficult for the electrons to move from the upper electrode to the lower electrode due to fourth resistance components 47a and 47b caused by large initial barriers b1 and b2. In particular, since the initial barrier height b2 of the capacitor of the present invention in FIG. 4 is higher than the initial barrier height b1 of the capacitor in FIG. 3, the fourth resistance component 47b of the present invention is larger than the conventional fourth resistance component 47a.

[0045] FIG. 5 is a graph showing leakage current densities according to voltage of the conventional SIS

capacitor and the MIS capacitor of the present invention. FIG. 6 is a graph showing the barrier heights of the conventional SIS capacitor and the MIS capacitor of the present invention.

[0046] To be specific, as shown in FIG. 5, when the leakage current density is  $1\text{E-}7\text{A/cm}$ , which is allowable in a general semiconductor device, the MIS capacitor of the present invention shows a take off point which is larger than that of the conventional SIS capacitor by  $0.9\text{ V}$ . Such a phenomenon is caused by the difference between the barrier height of the lower electrode and the barrier height of the upper electrode as shown in FIGS. 4A and 6. In FIG. 6, the X axis denotes energy corresponding to the barrier height and a Y axis denotes the barrier height.  $J_{\text{max}}$  denotes a current density at  $125[\text{deg.}] \text{ C}$ . and  $J_{\text{min}}$  denotes a current density at  $25[\text{deg.}] \text{ C}$ . As shown in FIG. 6, a peak point at the positive bias voltage denotes energy corresponding to the barrier height. The peak point is  $1.42\text{ eV}$  in the conventional SIS capacitor and  $2.35\text{ eV}$  in the MIS capacitor according to the present invention.

[0047] The difference between the barrier height of the conventional SIS capacitor and the barrier height of the MIS capacitor according to the present invention is  $0.93\text{ eV}$ . This difference is equivalent to the difference (b2-a) with reference to FIG. 4A. Therefore, the MIS capacitor according to the present invention has a take off point larger than that of the conventional SIS capacitor by the difference (b2-a). That is to say, since the MIS capacitor according to the present invention can withstand a leakage current density corresponding to a voltage difference of about  $0.9\text{ V}$ , it is possible to reduce the thickness of the dielectric layer, and thus, to increase capacitance.

[0048] FIGS. 7 and 8 are graphs showing leakage current densities according to the voltage of the MIS capacitor and the conventional SIS capacitor, respectively.

[0049] To be specific, in a general reference value where the leakage current density is about  $1\text{E-}7\text{A/cm}$  and the voltage is  $1.2\text{ V}$ , it is possible to allow an equivalent oxide layer to have the thickness of  $28\text{ \AA}$  in the case of the MIS capacitor according to the present invention and to allow an equivalent oxide layer to have the thickness of  $41\text{ \AA}$  in the case of the conventional SIS capacitor. The reason for this is because the take-off point of the MIS capacitor according to the present invention is larger than that of the SIS capacitor by a margin of about  $0.9\text{ V}$  as mentioned above.

[0050] The method of manufacturing the semiconductor device according to the first embodiment, i.e., the capacitor structure, will now be described. The description of the method of manufacturing the semiconductor device of FIG. 1, the capacitor structure, can be applied to the structure of the transistor of the second embodiment. Namely, the lower electrode of the capacitor corresponds to the silicon substrate of the transistor and the upper electrode of the capacitor corresponds to the gate electrode of the transistor. A method of forming the capacitor dielectric layer according to the present invention will be described first.

[0051] FIG. 9 is a graph showing processes of supplying and purging the respective reactants when the dielectric layer of the capacitor shown in FIG. 1 is formed by an atomic layer deposition method. FIG. 10 is a graph showing the uniform thickness of the dielectric layer formed by the atomic layer deposition method. FIGS. 11A-11B illustrate the x-ray photoelectron spectroscopy (XPS) peak value of the dielectric layer formed by the atomic layer deposition method.

[0052] More specifically, the capacitor dielectric layer according to the present invention is formed by the atomic layer deposition method, which has an excellent step coverage characteristic. In the present embodiment, a case where the dielectric layer is formed of an aluminum oxide layer will be used as an example. In the atomic layer deposition method, a cycle, where a reaction gas (a reactant) containing aluminum is supplied to a chamber, then purged by an inert gas, and then an oxidizing gas is supplied to the chamber, then purged by the inert gas, is repeated. Therefore, the atomic layer deposition method according to the present invention includes an atomic layer epitaxy (ALE), a cyclic chemical vapor deposition (CVD), a digital CVD, and an AICVD.

[0053] To be specific, as shown in FIG. 9, the aluminum oxide layer is formed on the semiconductor substrate, for example, the silicon substrate, by repeating several times, the cycle in which the reactant containing aluminum such as  $\text{TMA}[\text{Al}(\text{CH}_3)_3]$ ,  $\text{Al}(\text{CH}_3)\text{Cl}$ , and  $\text{AlCl}_3$  is supplied to the chamber, then purged by the inert gas, and an oxidizing gas such as  $\text{H}_2\text{O}$ ,  $\text{N}_2\text{O}$ ,  $\text{NO}_2$ , and  $\text{O}_3$  is supplied to the chamber, then purged by the inert gas. Namely, the aluminum oxide layer is formed by sequentially supplying a first reactant containing aluminum and a second reactant, which is an oxidizing gas. In the present embodiment, TMA is used as the reactant containing aluminum and  $\text{H}_2\text{O}$  gas is used as the oxidizing gas.

[0054] The aluminum oxide layer obtained by using these gases has an exceptional, uniform thickness according to the measurement positions shown in FIG. 10. In FIG. 10, among the points used for measurement, one point is at the center of a semiconductor wafer, four points are spaced apart by  $90[\text{deg.}]$  on the circumference of a circle having a diameter of  $1.75\text{ inches}$ , and the other four points are spaced apart by  $90[\text{deg.}]$  on the circumference of a circle having a diameter of  $3.5\text{ inches}$ .

[0055] When the aluminum oxide layer is XPS, measured as shown in FIGS. 11A and 11B, only Al-O and O-O peaks are found. This confirms that the aluminum oxide layer is formed of oxygen and aluminum. In

FIGS. 11A and 11B, the X axis denotes binding energy and the Y axis denotes counts.

[0056] FIGS. 12 and 13 are cross-sectional views explaining a method of manufacturing the capacitor of the semiconductor device shown in FIG. 1.

[0057] FIG. 12 shows the steps of forming lower electrode 33 and stabilizing layer 35. Inter level dielectric layer 32 is formed on the semiconductor substrate, for example, the silicon substrate, and a hole is formed therein. Lower electrode 33 which contacts semiconductor substrate 31 through the contact hole is formed on semiconductor substrate 31, with inter level dielectric layer 32 also being formed on substrate 31. In particular, since lower electrode 33 is formed as a silicon-family material layer such as a polysilicon layer doped with impurities, lower electrode 33 can be formed to have various three-dimensional structures.

[0058] Stabilizing layer 35 is formed to a thickness of 1 to 40 Å to cover lower electrode 33 so that the dielectric layer, later formed on the surface of lower electrode 33, will be formed stably. Stabilizing layer 35 is formed of a silicon nitride layer using a nitrogen-family gas, by a process with a thermal hysteresis such as a rapid thermal process (RTP), an annealing process, or a plasma process, or using a reactant including silicon and nitrogen, at a temperature of 900[deg.] C. and for a period of three hours. Also, stabilizing layer 35 can be formed of a silicon oxide layer using an oxygen-family gas by an annealing process, a thermal ultra-violet (UV) process, or a plasma process. In the present embodiment, the RTP is performed for about 60 seconds or the UV ozone process is performed at a temperature of 450[deg.] C. for three minutes, using a nitrogen source, for example, NH<sub>3</sub> gas.

[0059] The role of stabilizing layer 35 will be described with reference to FIG. 14. FIG. 14 shows the thicknesses in Å of the aluminum oxide layer according to the number of cycles when the stabilizing layer is formed on the surface of the lower electrode (a) and when the stabilizing layer is not formed (b) on the surface of the lower electrode, as in the MIS capacitor according to the present invention.

[0060] Stabilizing layer 35 allows the dielectric layer to be stably formed in a subsequent process. Since the surface of the polysilicon, which is lower electrode 33, is doped with impurities and is generally in a hydrophobic state, when the dielectric layer is formed using water vapor as the oxidizing gas, it is not possible to stably form the aluminum oxide layer on hydrophobic lower electrode 33. That is, when stabilizing layer 35 is not formed as shown in (b) of FIG. 14, the aluminum oxide layer begins to grow after an incubation period of 10 cycles. However, when stabilizing layer 35 is formed, the surface of lower electrode 33 is changed to be hydrophilic. Accordingly, it is possible to stably form the aluminum oxide layer without the incubation period as shown in (a) of FIG. 14. In the present embodiment, stabilizing layer 35 is formed. However, the formation of the stabilizing layer may be omitted if necessary.

[0061] FIG. 13 shows steps of forming dielectric layer 37. The aluminum oxide layer is formed on lower electrode 33 to a thickness of about the size of one atom, for example, about 0.5 to 100 Å, by sequentially injecting the aluminum source and the oxidizing gas into the chamber. Dielectric layer 37 is formed of the aluminum oxide layer to a thickness of about 10 to 300 Å by repeatedly performing the step of forming the aluminum oxide layer having a thickness of about the size of one atom. Dielectric layer 37 formed as mentioned above has an excellent step coverage due to the process characteristic of the atomic layer deposition method. For example, it is possible to have a step coverage of more than 98% in a structure having an aspect ratio of 9:1.

[0062] After forming dielectric layer 37, a post-thermal treatment is performed in order to remove impurities, to densify the dielectric layer, and to obtain a stoichiometric dielectric layer of high quality. The post-thermal treatment can be performed using an UV ozone process, nitrogen annealing, oxygen annealing, wet oxidation, an RTP using gas including oxygen or nitrogen such as N<sub>2</sub>, NH<sub>3</sub>, O<sub>2</sub>, and N<sub>2</sub>O, or vacuum annealing with a thermal hysteresis for a period of three hours at the temperature of 900[deg.] C. Results obtained by performing some of the above processes are shown in Table 1.

TABLE 1

Thickness of dielectric layer (Å)	Oxygen annealing	UV ozone process	Oxygen RTP annealing	Nitrogen annealing
28	0.7 (28.6)	0.45 (27.6)	0.9 (28.0)	
31	1.25 (30.9)	1.55 (31.2)	1.30 (30.2)	1.6 (30.3)
33	1.8 (33.1)	2.05 (33.6)	1.85 (32.5)	2.1 (32.6)

[0063] In Table 1, oxygen annealing is performed at a temperature of 750[deg.] C. for 30 minutes. The UV ozone process is performed with an energy of 20 milliwatts for 10 minutes. The oxygen RTP is performed at a temperature of 750[deg.] C. for three minutes. Nitrogen annealing is performed at a temperature of 750[deg.] C. for three minutes. The values of Table 1 denote refractive indices after the post-thermal treatment and the parenthesized numbers denote the thicknesses of the dielectric layer, in Å, after the thermal treatment. As shown in Table 1, samples on which the UV ozone process and nitrogen annealing are performed produce the best results in terms of the thickness of the dielectric layer and the refractive index.

In the present embodiment, the post-thermal treatment is performed after forming the dielectric layer. However, performing the post-thermal treatment may be omitted.

[0064] Then, as shown in FIG. 1, upper electrode 39 is formed on dielectric layer 37. Upper electrode 39 is formed of the material layer having the work function larger than that of the lower electrode formed of the silicon-family material as mentioned above. Upper electrode 39 is formed of a metal layer such as Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, and Ir, a refractory metal layer such as Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi, and W, a conductive oxide layer such as RuO<sub>2</sub>, RhO<sub>2</sub>, and IrO<sub>2</sub>, any combination of the above, or a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed. In the present embodiment, the upper electrode is formed of a double layer, with a TiN layer and a polysilicon layer doped with impurities.

[0065] As mentioned above, in the semiconductor device according to the present invention, the dielectric layer is formed by an atomic layer deposition method and the upper electrode is formed of a material layer having a work function larger than that of the lower electrode when the normally-used silicon-family material layer, for example, the polysilicon layer doped with impurities, is used as the lower electrode. By doing so, it is possible to improve the insulating characteristic of the dielectric layer and to increase the capacitance value in the capacitor structure.

[0066] While the present invention has been described herein with reference to illustrative embodiments for particular applications, it should be understood that the invention is not limited thereto. Those having ordinary skill in the art and access to the teachings provided herein will recognize additional modifications, applications, embodiments and substitution of equivalents all fall within the scope of the invention. Accordingly, the invention is not to be considered as limited by the foregoing description, but instead is limited by the scope of the appended claims.

---

Data supplied from the **esp@cenet** database - I2

## Claims

What is claimed is:

1. A semiconductor device, comprising:  
a first electrode formed of a silicon-family material;  
a dielectric layer formed by sequentially supplying reactants on the first electrode; and  
a second electrode having a work function larger than that of the first electrode, the second electrode being formed on the dielectric layer.
2. The semiconductor device of claim 1, wherein the dielectric layer is formed of a material selected from the group consisting of an aluminum oxide, an aluminum hydroxide, Ta<sub>2</sub>O<sub>5</sub>, BST (BaSrTiO<sub>3</sub>), SrTiO<sub>3</sub>, PbTiO<sub>3</sub>, PZT, PLZT, Y<sub>2</sub>O<sub>3</sub>, CeO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>, SiN, Si<sub>3</sub>N<sub>4</sub> and combinations thereof.
3. The semiconductor device of claim 1, wherein the second electrode is formed of a member selected from the group consisting of a metal layer, a refractory metal layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.
4. The semiconductor device of claim 3, wherein the metal layer is formed of a metal selected from the group consisting of Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, and Ir, the refractory metal layer is formed of a metal selected from the group consisting of Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi, and W, and the conductive oxide layer is formed of an oxide selected from the group consisting RuO<sub>2</sub>, RhO<sub>2</sub>, and IrO<sub>2</sub>.
5. The semiconductor device of claim 1, wherein a stabilizing layer for facilitating the formation of the dielectric layer by hydrophilizing the surface of the first electrode is formed on the first electrode.
6. The semiconductor device of claim 5, wherein the stabilizing layer is a member of the group comprising a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.
7. The semiconductor device of claim 1, wherein the dielectric layer is formed by an atomic layer deposition method.

8. The semiconductor device of claim 7, wherein a reaction gas and a purging gas are sequentially supplied to a chamber in the atomic layer deposition method.
9. A semiconductor device, comprising:  
a lower electrode of a capacitor formed of a silicon-family material;  
a dielectric layer formed by sequentially supplying reactants on the lower electrode; and  
an upper electrode of a capacitor formed on the dielectric layer and having a work function larger than that of the lower electrode.
10. The semiconductor device of claim 9, wherein the upper electrode is formed of one of a metal layer, a refractory metal layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.
11. The semiconductor device of claim 9, wherein a stabilizing layer for facilitating the formation of the dielectric layer by hydrophilizing the surface of the lower electrode is formed on the lower electrode.
12. The semiconductor device of claim 11, wherein the stabilizing layer is one of a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.
13. The semiconductor device of claim 9, wherein the dielectric layer is formed by an atomic layer deposition method.
14. The semiconductor device of claim 13, wherein a reaction gas and a purging gas are sequentially supplied to a chamber in the atomic layer deposition method.
15. A semiconductor device, comprising:  
a silicon substrate;  
a gate insulating layer formed by sequentially supplying reactants on the silicon substrate; and  
a gate electrode formed on the gate insulating layer and having a work function larger than that of the silicon substrate.
16. The semiconductor device of claim 15, wherein the gate electrode is formed of one of a metal layer, a refractory metal layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.
17. The semiconductor device of claim 15, wherein a stabilizing layer for facilitating the formation of the gate insulating layer by hydrophilizing the surface of the silicon substrate is formed on the silicon substrate.
18. The semiconductor device of claim 17, wherein the stabilizing layer is one of a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.
19. The semiconductor device of claim 15, wherein the gate insulating layer is formed by an atomic layer deposition method.
20. The semiconductor device of claim 19, wherein a reaction gas and a purging gas are sequentially supplied to a chamber in the atomic layer deposition method.
21. A method for manufacturing a semiconductor device, comprising the steps of:  
forming a first electrode of a silicon-family material on a semiconductor substrate;  
forming a dielectric layer by sequentially supplying reactants on the first electrode; and  
forming a second electrode having a work function larger than that of the first electrode, the second electrode being formed on the dielectric layer.
22. The method of claim 21, wherein the step of forming the dielectric layer includes the step of using a material selected from the group consisting of an aluminum oxide, an aluminum hydroxide, Ta<sub>2</sub>O<sub>5</sub>, BST (BaSrTiO<sub>3</sub>), SrTiO<sub>3</sub>, PbTiO<sub>3</sub>, PZT, PLZT, Y<sub>2</sub>O<sub>3</sub>, CeO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>, SiN, Si<sub>3</sub>N<sub>4</sub> and combinations thereof.



23. The method of claim 21, wherein the step of forming the second electrode includes the step of using a member selected from the group consisting of a metal layer, a refractory metal layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

24. The method of claim 23, wherein the step of using a metal layer includes the step of using a metal selected from the group consisting of Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, and Ir, the step of using a refractory metal layer includes the step of using a refractory metal selected from the group consisting of Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi, and W, and the step of using the conductive oxide layer includes the step of using a conductive layer formed of an oxide selected from the group consisting of RuO<sub>2</sub>, RhO<sub>2</sub>, and IrO<sub>2</sub>.

25. The method of claim 21, further comprising a step of forming a stabilizing layer for facilitating the formation of the dielectric layer on the first electrode after the step of forming the first electrode.

26. The method of claim 25, wherein the step of forming the stabilizing layer includes the step of selecting the stabilizing layers from one of a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.

27. The method of claim 21, wherein the step of forming the dielectric layer includes using an atomic layer deposition method.

28. The method of claim 27, wherein the atomic layer deposition method includes the steps of sequentially supplying a reaction gas and a purging gas to a chamber.

29. The method of claim 21, further comprising a step of performing post-thermal treatment after the step of forming the dielectric layer.

30. A method for manufacturing a semiconductor device, comprising the steps of:  
forming a lower electrode of a capacitor of a silicon-family material on a semiconductor substrate;  
forming a dielectric layer by sequentially supplying reactants on the lower electrode; and  
forming an upper electrode of a capacitor having a work function larger than that of the lower electrode, the upper electrode being formed on the dielectric layer.

31. The method of claim 30, wherein the step of forming the upper electrode includes the step of forming the upper electrode from one of a metal layer, a refractory metal layer, an aluminum layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

32. The method of claim 30, further comprising a step of forming a stabilizing layer for facilitating the formation of the dielectric layer by hydrophilizing the surface of the lower electrode after the step of forming the lower electrode.

33. The method of claim 32, wherein the step of forming the stabilizing layer includes the step of forming the stabilizing electrode from one of a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.

34. The method of claim 30, wherein the step of forming the dielectric layer includes the step of using an atomic layer deposition method.

35. The method of claim 34, wherein the atomic layer deposition method includes the steps of sequentially supplying a reaction gas and a purging gas to a chamber.

36. The method of claim 30, further comprising a step of performing post-thermal treatment after the step of forming the dielectric layer.

37. A method for manufacturing a semiconductor device, comprising the steps of:

forming a gate insulating layer by sequentially supplying reactants on a silicon substrate; and forming a gate electrode having a work function larger than that of the silicon substrate on the gate insulating layer.

38. The method of claim 37, wherein the step of forming the gate electrode includes the step of forming the gate electrode of one of a metal layer, a refractory metal layer, a conductive oxide layer, a combination of the above, and a double layer in which a material layer having a work function larger than that of the silicon-family material and a polysilicon layer doped with impurities are sequentially formed.

39. The method of claim 37, further comprising a step of forming a stabilizing layer for facilitating the formation of the gate insulating layer by hydrophilizing the silicon substrate before forming the gate insulating layer.

40. The method of claim 39, wherein the step of forming the stabilizing layer includes forming the stabilizing layer from one of a silicon oxide layer, a silicon nitride layer, and a composite layer of the silicon oxide layer and the silicon nitride layer.

41. The method of claim 37, wherein the step of forming the gate insulating layer includes using an atomic layer deposition method.

42. The method of claim 37, further comprising a step of performing post-thermal treatment after the step of forming the gate insulating layer.

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111000

(P2001-111000A)

(43) 公開日 平成13年4月20日 (2001. 4. 20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 27/105		H 0 1 L 21/316	X
21/316		21/318	M
21/318		27/10	4 4 4 A
27/04		27/04	C
21/822		27/10	4 4 4 B

審査請求 未請求 請求項の数42 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2000-242995(P2000-242995)

(22) 出願日 平成12年8月10日 (2000. 8. 10)

(31) 優先権主張番号 9 9 P 3 3 5 2 0

(32) 優先日 平成11年8月14日 (1999. 8. 14)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 榮 寛

大韓民国京畿道抱川郡抱川邑新邑里39-11

番地

(72) 発明者 朴 興 秀

大韓民国ソウル特別市松坡区芳▲い▼洞

オリンピックアパート319棟1601号

(74) 代理人 100072349

弁理士 八田 幹雄 (外4名)

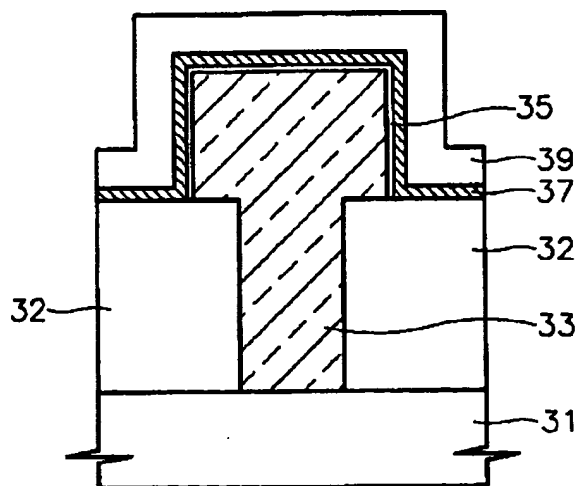
最終頁に続く

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】 半導体素子及びその製造方法を提供する。

【解決手段】 シリコン系物質で構成された第1電極と、前記第1電極の表面を親水性化させて誘電体膜の形成を容易にする安定化膜と、反応物を順次供給して形成された前記誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極とを含んで成ることを特徴とする半導体素子およびその製造方法。



## 【特許請求の範囲】

【請求項1】 シリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極とを含んで成ることを特徴とする半導体素子。

【請求項2】 前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 $Ta_2O_5$ 、BST、 $SrTiO_3$ 、 $PbTiO_3$ 、PZT、PLZT、 $Y_2O_3$ 、 $CeO_2$ 、 $Nb_2O_5$ 、 $TiO_2$ 、 $ZrO_2$ 、 $HfO_2$ 、 $SiO_2$ 、 $SiN$ および $Si_3N_4$ からなる群より選択される1または2以上より成ることを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項1または2に記載の半導体素子。

【請求項4】 前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、TiN、TiAlN、Ta<sub>2</sub>N、TiSiN、WN、WBN、CoSiおよびWからなる群より選択されて成り、前記導電性酸化膜は $RuO_2$ 、 $RhO_2$ および $IrO_2$ からなる群より選択されて成ることを特徴とする請求項3に記載の半導体素子。

【請求項5】 前記第1電極上に前記第1電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項1～4のいずれか1項に記載の半導体素子。

【請求項6】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項5に記載の半導体素子。

【請求項7】 前記誘電体膜は原子層蒸着法により形成された膜であることを特徴とする請求項1～6のいずれか1項に記載の半導体素子。

【請求項8】 前記原子層蒸着法はチャンバーに反応ガスとパージングガスを順次供給する方法であることを特徴とする請求項7に記載の半導体素子。

【請求項9】 シリコン系物質で構成されたキャパシタの下部電極と、前記下部電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された下部電極より仕事関数が高いキャパシタの上部電極とを含んで成ることを特徴とする半導体素子。

【請求項10】 前記上部電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリ

コン膜とが順次形成された二重膜であることを特徴とする請求項9に記載の半導体素子。

【請求項11】 前記下部電極上に前記下部電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項9または10に記載の半導体素子。

【請求項12】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項11に記載の半導体素子。

【請求項13】 前記誘電体膜は原子層蒸着法により形成された膜であることを特徴とする請求項9～12のいずれか1項に記載の半導体素子。

【請求項14】 前記原子層蒸着法はチャンバーに反応ガスとパージングガスを順次供給する方法であることを特徴とする請求項13に記載の半導体素子。

【請求項15】 シリコン基板と、前記シリコン基板上に反応物を順次供給して形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記シリコン基板より仕事関数が高いゲート電極とを含んで成ることを特徴とする半導体素子。

【請求項16】 前記ゲート電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項15に記載の半導体素子。

【請求項17】 前記シリコン基板上に前記シリコン基板の表面を親水性化させて前記ゲート絶縁膜の形成を容易にする安定化膜が形成されてなることを特徴とする請求項15または16に記載の半導体素子。

【請求項18】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項17に記載の半導体素子。

【請求項19】 前記ゲート絶縁膜は原子層蒸着法により形成された膜であることを特徴とする請求項15～18のいずれか1項に記載の半導体素子。

【請求項20】 前記原子層蒸着法はチャンバーに反応ガスとパージングガスを順次供給する方法であることを特徴とする請求項19に記載の半導体素子。

【請求項21】 半導体基板上にシリコン系物質で構成された第1電極を形成する段階と、前記第1電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極を形成する段階とを含む半導体素子の製造方法。

【請求項22】 前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 $Ta_2O_5$ 、BST、 $SrTiO_3$ 、 $PbTiO_3$ 、PZT、PLZT、 $Y_2O_3$ 、 $CeO_2$ 、 $Nb_2O_5$ 、 $TiO_2$ 、 $ZrO_2$ 、 $HfO_2$ 、 $SiO_2$ 、 $SiN$ および $Si_3N_4$ からなる群より選択される

1または2以上より成ることを特徴とする請求項21に記載の半導体素子の製造方法。

【請求項23】 前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項21または22に記載の半導体素子の製造方法。

【請求項24】 前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、TiN、TiAlN、Ta<sub>2</sub>N、TiSiN、WN、WBN、CoSiおよびWからなる群より選択されて成り、前記導電性酸化膜はRuO<sub>2</sub>、RhO<sub>2</sub>およびIrO<sub>2</sub>からなる群より選択されて成ることを特徴とする請求項23に記載の半導体素子の製造方法。

【請求項25】 前記第1電極を形成する段階後、前記第1電極上に前記誘電体膜の形成を容易にする安定化膜をさらに形成することを特徴とする請求項21～24のいずれか1項に記載の半導体素子の製造方法。

【請求項26】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項25に記載の半導体素子の製造方法。

【請求項27】 前記誘電体膜は原子層蒸着法により形成することを特徴とする請求項21から26のいずれか1項に記載の半導体素子の製造方法。

【請求項28】 前記原子層蒸着法はチャンバーに反応ガスとパージングガスを順次供給する方法であることを特徴とする請求項27に記載の半導体素子の製造方法。

【請求項29】 前記誘電体膜を形成する段階後、後熱処理をすることを特徴とする請求項21～28のいずれか1項に記載の半導体素子の製造方法。

【請求項30】 半導体基板上に、シリコン系物質で構成されたキャパシタの下部電極を形成する段階と、前記下部電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、シリコン系物質で構成された下部電極より仕事関数が高いキャパシタの上部電極を形成する段階とを含んで成ることを特徴とする半導体素子の製造方法。

【請求項31】 前記上部電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上であるか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項30に記載の半導体素子の製造方法。

【請求項32】 前記下部電極を形成する段階後、前記下部電極上に前記下部電極表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜を形成することを特

徴とする請求項30または31に記載の半導体素子の製造方法。

【請求項33】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項32に記載の半導体素子の製造方法。

【請求項34】 前記誘電体膜は原子層蒸着法により形成することを特徴とする請求項30～33のいずれか1項に記載の半導体素子の製造方法。

【請求項35】 前記原子層蒸着法はチャンバーに反応ガスとパージングガスを順次供給する方法であることを特徴とする請求項34に記載の半導体素子の製造方法。

【請求項36】 前記誘電体膜を形成する段階後、後熱処理をすることを特徴とする請求項30～35のいずれか1項に記載の半導体素子の製造方法。

【請求項37】 シリコン基板上に、反応物を順次供給してゲート絶縁膜を形成する段階と、前記ゲート絶縁膜上に、前記シリコン基板より仕事関数が高いゲート電極を形成する段階とを含むことを特徴とする半導体素子の製造方法。

【請求項38】 前記ゲート電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上であるか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることを特徴とする請求項37に記載の半導体素子の製造方法。

【請求項39】 前記ゲート絶縁膜を形成する前に、前記シリコン基板を親水性化させて前記ゲート絶縁膜の形成を容易にする安定化膜を形成することを特徴とする請求項37または38に記載の半導体素子の製造方法。

【請求項40】 前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることを特徴とする請求項39に記載の半導体素子の製造方法。

【請求項41】 前記ゲート絶縁膜は原子層蒸着法により形成することを特徴とする請求項37～40のいずれか1項に記載の半導体素子の製造方法。

【請求項42】 前記ゲート絶縁膜を形成する段階後、後熱処理をすることを特徴とする請求項37～41のいずれか1項に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子及びその製造方法に係り、より詳しくはシリコン系物質を下部電極として採用する時、高誘電体膜（誘電率が高い誘電体膜）の絶縁特性を向上させ得る半導体素子及びその製造方法に関する。

【0002】

【従来の技術】一般に、半導体素子は下部電極と上部電極との間に誘電体膜が形成される構造を含んでいる。例えば、下部電極の役割を果たすシリコン基板上に誘電体

膜（ゲート絶縁膜）及び上部電極の役割を果たすゲート電極が順次形成されたトランジスタの構造が挙げられる。又、下部電極上に誘電体膜及び上部電極が順次に形成されたキャパシタの構造が挙げられる。

【0003】ところで、前記上部電極と下部電極との間に存在する誘電体膜の絶縁特性は非常に重要である。例えば、トランジスタの耐圧特性は誘電体膜の絶縁特性に左右される。キャパシタでは誘電体膜の絶縁特性によりキャパシタンス値の差が発生する。

【0004】特に、キャパシタ構造においては誘電体膜の表面積が広くて誘電体膜の誘電率が高いほどキャパシタンス値が高くなる。従って、三次元構造を具現化しやすいポリシリコン膜を下部電極にする方法や、誘電率が高いタンタル酸化膜（ $\text{Ta}_2\text{O}_5$ ）やBST膜（ $\text{BaSrTiO}_3$ ）を誘電体膜として採用する方法が用いられている。しかし、タンタル酸化膜（ $\text{Ta}_2\text{O}_5$ ）やBST膜（ $\text{BaSrTiO}_3$ ）といった高誘電体膜を採用する場合には、安定したキャパシタを得るために後工程を追加する必要があるため工程が複雑になる。また、ポリシリコンを電極として使用し、タンタル酸化膜を誘電体膜として使用すると、ポリシリコン電極と誘電体膜との界面にシリコン酸化膜が形成されキャパシタンスが低下する問題があり、ポリシリコンを電極として使用し、BST膜を誘電体膜として使用すると、漏れ電流が大きい問題があり、これらの問題に対応するためには電極の物質を変えなければならなかった。

【0005】そこで、従来のものに比べてより優れた絶縁特性を有する半導体素子が求められていた。例えば、キャパシタ構造においてポリシリコン膜などのシリコン系物質を下部電極として使用する場合に、これまで以上に高誘電体膜の絶縁特性を向上させる半導体素子が求められていた。

【0006】

【発明が解決しようとする課題】本発明の目的はシリコン系物質を下部電極として採用する時、高誘電体膜の絶縁特性を向上させ得る半導体素子を提供することにある。

【0007】又、本発明の他の目的は好適な前記半導体素子の製造方法を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明の半導体素子はシリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極とを含む。上部電極を前記下部電極より仕事関数が高い物質膜で構成することにより、誘電体膜の絶縁特性を向上させられ、キャパシタ構造ではキャパシタンス値を高められる。

【0009】前記誘電体膜はアルミニウム酸化物、アル

ミニウム水酸化物、 $\text{Ta}_2\text{O}_5$ 、BST、 $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$ 、PZT、PLZT、 $\text{Y}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{SiO}_2$ 、 $\text{SiN}$  および  $\text{Si}_3\text{N}_4$  からなる群より選択される1または2以上より成ることが好ましい。

【0010】前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。

【0011】前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、TiN、TiAlN、TaN、TiSiN、WN、WBN、CoSiおよびWからなる群より選択されて成り、前記導電性酸化膜は $\text{RuO}_2$ 、 $\text{RhO}_2$ および $\text{IrO}_2$ からなる群より選択されて成ることが好ましい。

【0012】前記第1電極上に前記第1電極の表面を親水性化させて前記誘電体膜の形成を容易にする安定化膜が形成されてなることが好ましい。

【0013】前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることが好ましい。

【0014】前記誘電体膜は原子層蒸着法により形成された膜であることが好ましい。

【0015】前記原子層蒸着法はチャンバーに反応ガスとパーシングガスとを順次供給する方法であることが好ましい。

【0016】また本発明は、半導体基板上にシリコン系物質で構成された第1電極を形成する段階と、前記第1電極上に、反応物を順次供給して誘電体膜を形成する段階と、前記誘電体膜上に、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極を形成する段階とを含む半導体素子の製造方法である。

【0017】前記誘電体膜はアルミニウム酸化物、アルミニウム水酸化物、 $\text{Ta}_2\text{O}_5$ 、BST、 $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$ 、PZT、PLZT、 $\text{Y}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{SiO}_2$ 、 $\text{SiN}$  および  $\text{Si}_3\text{N}_4$  からなる群より選択される1または2以上より成ることが好ましい。

【0018】前記第2電極は金属膜、高融点金属膜および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。

【0019】前記金属膜はAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、RuおよびIrからなる群より選択されて成り、前記高融点金属膜はTi、TiN、TiAlN、TaN、TiSiN、WN、WBN、CoSiおよびWからなる群より選択されて成

り、前記導電性酸化膜は $\text{RuO}_2$ 、 $\text{RhO}_2$ および $\text{IrO}_2$ からなる群より選択されて成ることが好ましい。

【0020】前記第1電極を形成する段階後、前記第1電極上に前記誘電体膜の形成を容易にする安定化膜をさらに形成することが好ましい。

【0021】前記安定化膜はシリコン酸化膜、シリコン窒化膜又はこれらの複合膜であることが好ましい。

【0022】前記誘電体膜は原子層蒸着法により形成することが好ましい。

【0023】前記原子層蒸着法はチャンバーに反応ガスとパージングガスとを順次供給する方法であることが好ましい。

【0024】前記誘電体膜を形成する段階後、後熱処理をすることが好ましい。

【0025】なお、上記発明をキャパシタに適用するときは、前記第1電極及び第2電極は下部電極及び上部電極になり得る。また、上記発明をトランジスタに適用するときは、前記第1電極及び第2電極はシリコン基板及びゲート電極に成り得る。

【0026】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施形態を詳細に説明する。なお、本発明の半導体素子は、シリコン系物質で構成された第1電極と、前記第1電極上に反応物を順次供給して形成された誘電体膜と、前記誘電体膜上に形成された、前記シリコン系物質で構成された第1電極より仕事関数が高い第2電極とを含んで成ることを特徴とする半導体素子であるが、キャパシタに適用されるときは、キャパシタの下部電極が前記第1電極に対応し、キャパシタの上部電極が前記第2電極に対応する。また、トランジスタに適用されるときは、シリコン基板が前記第1電極に、ゲート絶縁膜が前記誘電体膜に、ゲート電極が前記第2電極にそれぞれ対応する。

【0027】図1は本発明の半導体素子の第1の実施形態を示した断面図である。

【0028】図1においてはキャパシタ構造を有する半導体素子を例に挙げて説明するが、上述したようにトランジスタなど他の半導体素子にも応用可能なことはもちろんである。図1の半導体素子は第1電極として例えばシリコン基板などの半導体基板31上にキャパシタの下部電極33と、誘電体膜37と、第2電極としてキャパシタの上部電極39とを含む。図1で、32は層間絶縁膜を示す。

【0029】下部電極33は三次元構造を作りやすいシリコン系物質、例えば燐やボロン等の不純物がドーピングされたポリシリコン膜で構成される。

【0030】誘電体膜37は下部電極33に反応物を順次供給して形成され、原子層蒸着法で形成することが好ましい。反応物とは誘電体膜を形成するために供給される物質をいい、例えばアルミニウム酸化物からなる誘

電体膜を形成するときには、TMA [ $\text{Al}(\text{CH}_3)_3$ ]、 $\text{Al}(\text{CH}_3)\text{Cl}$ 、 $\text{AlCl}_3$ などのアルミニウムが含有された反応物をチャンバーに供給して不活性ガスでパージした後、 $\text{H}_2\text{O}$ 、 $\text{N}_2\text{O}$ 、 $\text{NO}_2$ 、 $\text{O}_3$ などの酸化ガスを供給して不活性ガスでパージングするサイクルを繰り返す方法を使用できる。原子層蒸着法としては原子層エピタキシー (Atomic Layer Epitaxy)、サイクリック化学蒸着法 (cyclic CVD)、デジタル化学蒸着法 (digital CVD)、AlCVDなど各種蒸着技術を使用できる。また、原子層蒸着法はチャンバーに反応ガスとパージングガスとを順次供給する方法を用いることが好ましい。これによりステップカバレッジが良好になる。誘電体膜37はアルミニウム酸化物、アルミニウム水酸化物、 $\text{Ta}_2\text{O}_5$ 、BST ( $\text{BaSrTiO}_3$ )、 $\text{SrTiO}_3$ 、 $\text{PbTiO}_3$ 、PZT ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )、PLZT (LaでドーピングされたPZT)、 $\text{Y}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{SiO}_2$ 、 $\text{SiN}$ および $\text{Si}_3\text{N}_4$ からなる群より選択される1または2以上から構成されることが好ましい。

【0031】上部電極39はシリコン系物質で構成された下部電極より仕事関数が高い物質で構成される。上部電極は金属膜、高融点金属膜、および導電性酸化膜からなる群より選択される1もしくは2以上より成るか、または前記シリコン系物質より仕事関数が高い物質膜とリンやボロンなどの不純物がドーピングされたポリシリコン膜とが順次形成された二重膜であることが好ましい。具体的には、金属膜としてはAl、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、Ru、Irの金属膜、高融点金属膜としてはTi、TiN、TiAlN、TaN、TiSiN、WN、WBN、CoSi又はWの金属膜、導電性酸化膜としては $\text{RuO}_2$ 、 $\text{RhO}_2$ 又は $\text{IrO}_2$ からなる膜が挙げられる。また二重膜としては、Alなどの前記金属膜、TiNなどの高融点膜または $\text{RuO}_2$ などの導電性酸化膜と不純物がドーピングされたポリシリコン膜の二重膜が挙げられる。

【0032】このように上部電極39の仕事関数を、下部電極33より大きくすることにより、後述するように下部電極33から上部電極39へ流れる電流量を少なくして誘電体膜の絶縁特性を向上させ得る。

【0033】さらに、本発明の半導体素子はキャパシタの下部電極33上に、下部電極の表面を親水性させて前記誘電体膜37の形成を容易にする安定化膜35を形成することが好ましい。例えば、前記安定化膜35は原子層蒸着法を用いて誘電体膜を形成する段階において、下部電極33上に供給される反応物が親水性物質の場合、前記下部電極33の表面を親水性化させる親水性膜、具体的にはシリコン酸化膜、シリコン窒化膜又はこれらの複合膜が形成されていることが好ましい。

【0034】図2は本発明の半導体素子の第2の実施形

態を示した断面図である。

【0035】本発明の第2の実施形態の半導体素子はトランジスタ構造である。即ち、本発明の半導体素子は第1電極として燐、砒素、ボロン、フッ素などの不純物がドーピングされたシリコン基板61と、誘電体膜としてゲート絶縁膜65と、第2電極としてゲート電極67とを備える。

【0036】即ち、本発明の第2の実施形態の半導体素子は第1の実施形態と比較すると、シリコン基板61が下部電極33に対応し、ゲート電極67が上部電極39に対応するものである。図2で、参照番号62は不純物ドーピング領域であって、ソース又はドレイン領域を示す。

【0037】ゲート絶縁膜65は反応物を順次供給する方法で形成され、原子層蒸着法で形成することが好ましい。原子層蒸着法は上記説明したものが使用でき、チャンバーに反応ガスとパーズングガスとを順次供給する方法を用いることがより好ましい。ゲート絶縁膜65を原子層蒸着法により形成することにより、ステップカバレージ特性が優秀なものとなる。前記ゲート絶縁膜65はアルミニウム酸化物、アルミニウム水酸化物、 $Ta_2O_5$ 、BST、 $SrTiO_3$ 、 $PbTiO_3$ 、PZT、PLZT、 $Y_2O_3$ 、 $CeO_2$ 、 $Nb_2O_5$ 、 $TiO_2$ 、 $ZrO_2$ 、 $HfO_2$ 、 $SiO_2$ 、 $SiN$ および $Si_3N_4$ からなる群より選択される1または2以上より構成されることが好ましい。

【0038】前記ゲート電極67はシリコン系物質で構成されたシリコン基板61より仕事関数大きい物質膜で構成される。前記ゲート電極67は第1の実施形態における上部電極と同様の物質からなることが好ましく、例えば、Al、Ni、Co、Cu、Mo、Rh、Pd、Sn、Au、Pt、Ru、Irの金属膜、Ti、TiN、TiAlN、Ta<sub>2</sub>N、TiSiN、WN、WBN、CoSiもしくはWの高融点金属膜、 $RuO_2$ 、 $RhO_2$ 又は $IrO_2$ の導電性酸化膜もしくはこれらの組合せより成るか、またはシリコン系物質より仕事関数大きい物質膜と不純物がドーピングされたポリシリコン膜とが順次形成された二重膜で構成されることが好ましい。二重膜としては、TiN膜と不純物がドーピングされたポリシリコン膜の二重膜が挙げられる。

【0039】このようにゲート電極67がシリコン基板61より仕事関数が大きくなれば、後述するようにシリコン基板61からゲート電極67へ流れる電流量を少なくできるので、ゲート絶縁膜65の絶縁特性を向上させ得る。

【0040】本発明の半導体素子はシリコン基板61上に前記ゲート絶縁膜65の形成を容易にするための安定化膜63、具体的にはシリコン酸化膜、シリコン窒化膜又はこれらの複合膜が形成されていることが好ましい。例えば、前記安定化膜63は原子層蒸着法を用いて誘電

体膜（ゲート絶縁体膜）を形成する段階において、シリコン基板61上に供給される反応物が親水性物質の場合に前記シリコン基板61の表面を親水性化させる親水性膜であることが好ましい。

【0041】以下では説明の便宜上、キャパシタ構造を示す第1の実施形態を参照として誘電体膜の絶縁特性について説明するが、第2の実施形態のトランジスタ構造同様に説明が適用できる。即ち、キャパシタの下部電極はトランジスタのシリコン基板に対応し、キャパシタの誘電体膜はゲート絶縁体膜に対応し、キャパシタの上部電極はトランジスタのゲート電極に対応する。

【0042】図3及び図4は各々従来のキャパシタ及び図1のキャパシタ障壁高さ（barrier height）と等価回路とを概略的に示した図面である。

【0043】具体的には、図3は従来のキャパシタ障壁の高さ及び等価回路を示した図面である。図3の従来のキャパシタは上部および下部電極を全て不純物がドーピングされたポリシリコン膜で構成し、原子層蒸着法を用いて誘電体膜を60Å厚さのアルミニウム酸化膜で構成した場合（以下、SISキャパシタと称する）である。図4は図1のキャパシタの障壁高さ及び等価回路を示した図面である。図4のキャパシタは下部電極を、シリコン系物質膜である不純物がドーピングされたポリシリコン膜とし、原子層蒸着法を用いて誘電体膜を60Å厚さのアルミニウム酸化膜とし、上部電極は前記下部電極より仕事関数大きいTiN膜で構成した場合（以下、MISキャパシタと称する）である。本発明のMISキャパシタにおいては、上部電極をTiN膜と不純物がドーピングされたポリシリコン膜で構成された二重膜で構成することもでき、この場合は不純物がドーピングされたポリシリコン膜により半導体素子の表面抵抗を調節することができる。

【0044】図3及び図4で、上部電極に正方向のバイアスが印加された時、下部電極に存在する電子は、初期障壁aを通過するための第1抵抗成分41と、誘電体膜自体の第2抵抗成分43を通過して上部電極へ移動する。

【0045】ところで、図4の本発明のキャパシタにおいては上部電極に正バイアス電圧が印加された時、電子は初期障壁aを通過した後、障壁がより高い上部電極に向かって移動する。この際、下部電極と上部電極との障壁の差 $b_2 - a$ により生じる傾斜は結局電子の流れを阻止する第3抵抗成分45として作用して、電子が下部電極から上部電極へ流れることを妨害するので、誘電体膜の絶縁特性が向上する。

【0046】また、上部電極に負バイアス電圧が印加されれば、初期障壁 $b_1$ 、 $b_2$ による第4抵抗成分47a、47bが生じ、電子が上部電極から下部電極へ移動しにくくなる。特に、図4の本発明キャパシタの初期障壁高さ $b_2$ は、図3の従来のキャパシタの初期障壁高さ $b_1$ より



さらに高いので、本発明の第4抵抗成分47bが従来の第4抵抗成分47aより大きくなる。

【0047】図5は従来のSISキャパシタ及び本発明のMISキャパシタの電圧による漏れ電流密度を示したグラフであり、図6は従来のSISキャパシタ及び本発明のMISキャパシタの障壁高さを示したグラフである。

【0048】図5に示したように一般的な半導体素子で許容できる漏れ電流密度 $1E-7A/cm^2$ に関してみれば、本発明のMISキャパシタは従来のSISキャパシタより約0.9V大きい離陸点を示す、すなわち漏れ電流密度が $1E-7A/cm^2$ を超える電圧が約0.9V大きい。

【0049】このような現象は図4及び図6に示す下部電極と上部電極との障壁高さに起因する。図6で、X軸は障壁エネルギーを示し、Y軸は障壁高さを示す。Jmaxは125℃での臨界電流密度を示し、Jminは25℃での臨界電流密度を示す。図6に示すように、正バイアス電圧でのピーク点は障壁エネルギーを示すが、従来のSISキャパシタは1.42eVを示し、本発明のMISキャパシタは2.35eVを示す。

【0050】このように従来のSISキャパシタと本発明のMISキャパシタとは障壁高さ差が0.93eVを示し、前記障壁高さ差は図4に説明した障壁高さ差 $b_2-a$ と一致する。従って、本発明のMISキャパシタは前記障壁高さ差の分だけ従来のSISキャパシタより離陸点が大きくなる。言い換えれば、本発明のMISキャパシタは従来のSISより許容漏れ電流密度で約0.9V程度さらに耐えられるので、誘電体膜の厚さを縮められ、これによりキャパシタンスを増加させ得る。

【0051】図7及び図8は各々本発明のMISキャパシタ及び従来のSISキャパシタにおいて電圧および誘電体膜厚さを変化させたときの漏れ電流密度を示したグラフである。

【0052】具体的には、電圧1.2Vのときの漏れ電流密度が約 $1E-7$ という一般的な基準値を示すためには、本発明のMISキャパシタの場合は酸化膜の厚さが28Åであり、従来のSISキャパシタの場合は41Åである。本発明のMISキャパシタの場合に膜厚を薄くできるのは、前述したように本発明のMISキャパシタが約0.9Vの離陸点マージンを持つからである。

【0053】図9は図1に示したキャパシタの誘電体膜を原子層蒸着法で形成した場合の、各反応物の供給及びパージング過程を示したグラフであり、図10は原子層蒸着法により形成された誘電体膜の均一度を示したグラフであり、図11は原子層蒸着法により形成された誘電体膜のXPSピーク値を示した図面である。

【0054】本実施形態では、本発明のキャパシタ誘電体膜はステップカバレッジ特性に優れた原子層蒸着法で形成し、誘電体膜をアルミニウム酸化膜で形成する場合

を例にとって説明する。原子層蒸着法は図9のようにチャンパーにアルミニウムが含有された反応ガス（反応物）を供給した後、不活性ガスでパージした後、再び酸化ガスを供給して不活性ガスでパージするサイクルを反復する蒸着法を用いた。従って、本発明の原子層蒸着法は原子層エピタキシ、サイクリック化学蒸着法、デジタル化学蒸着、AICVDを含む。

【0055】より詳しく説明すれば、図9のように半導体基板、例えばシリコン基板上にTMA[ $Al(CH_3)_3$ ]、 $Al(CH_3)Cl$ 、 $AlCl_3$ などのアルミニウムが含有された反応物をチャンパーに供給して不活性ガスでパージした後、 $H_2O$ 、 $N_2O$ 、 $NO_2$ 、 $O_3$ などの酸化ガスを供給して不活性ガスでパージングするサイクルを数回反復することによりアルミニウム酸化膜を形成する。即ち、アルミニウムが含有された第1反応物と、酸化ガスの第2反応物を順次に供給することによりアルミニウム酸化膜を形成する。

【0056】本実施形態ではアルミニウムが含有された反応物はTMAを使用し、酸化ガスを $H_2O$ ガスとして使用して得られたアルミニウム酸化膜は図10に示すように測定位置に対する均一度が優秀であった。図10で、測定点は半導体ウェーハの中心の1点、半導体ウェーハ中心を基準に1.75インチ(4.45cm)の半径を有する円で90度間隔に4点、半導体ウェーハ中心を基準に3.5インチ(8.89cm)の半径を有する円で90度間隔に4点の計9点である。

【0057】また、アルミニウム酸化膜をX線電子分光法(XPS)を測定したところ、図11および図12に示すように $Al-O$ 及び $O-O$ ピークのみ示され、酸素とアルミニウムとのみから成ることが示唆された。なお、図11及び図12で、X軸は結合エネルギーであり、Y軸はカウントを示す。

【0058】続いて、本発明に係るキャパシタの製造方法を説明する。説明の容易のため、キャパシタの製造方法を例にとって説明するが、トランジスタその他の半導体素子に以下の製造方法が適用できることはもちろんである。また、下部電極などの製造には各種公知の技術を用いることができる。

【0059】図13は下部電極33及び安定化膜35を形成する段階を示す。

【0060】まず、半導体基板、例えばシリコン基板上にコンタクトホールを有する層間絶縁膜32を形成する。その後、前記層間絶縁膜32が形成された半導体基板31上に前記コンタクトホールを通じて前記半導体基板31と接続する下部電極33を形成する。特に、本発明の下部電極33は不純物がドーピングされたポリシリコン膜のようなシリコン系物質膜で形成するので多様な3次元構造で形成できる。

【0061】次に、前記下部電極上に誘電体膜を容易に形成するために前記下部電極33表面に安定化膜35を

1~40Åの厚さで形成することが好ましい。前記安定化膜35はRTP (Rapid Thermal process)、アニーリング工程又はプラズマ工程などの工程、またはシリコン及び窒素が含まれた反応物を用いて、900℃、3時間処理することにより窒素系ガスにより構成されたシリコン窒化膜で形成することができる。又、前記安定化膜35は酸素系ガスを用いてアニーリング、熱紫外線処理又はプラズマ処理してシリコン酸化膜で形成することもできる。例えば、窒素源としてアンモニアガス(NH<sub>3</sub>)を用いて60秒程度RTP又は450℃で3分間紫外線オゾン処理した。

【0062】ここで、図15を用いて安定化膜35の役割に対して説明する。図15は本発明のMISキャパシタにおいて下部電極の表面に安定化膜が形成される場合aと形成しない場合bとのアルミニウム酸化膜のサイクル当たり厚さを示したグラフである。

【0063】安定化膜35は後工程である誘電体膜形成時、誘電体膜を安定に形成させる役割を果たす。即ち、不純物がドーピングされた下部電極、例えばポリシリコン表面は通常疎水性状態なので、酸化ガスの水蒸気を用いて誘電体膜を形成する時、疎水性の下部電極33上ではアルミニウム酸化膜を安定に形成できない。即ち、図15のbに示したように安定化膜35を形成しなければ、10サイクルの潜伏期を経た後、アルミニウム酸化膜が成長する。しかし、安定化膜35を形成すれば、下部電極33の表面が親水性に変質する。このため、図15のaで表示したように潜伏期を経ず直ちにアルミニウム酸化膜が形成できるため安定にアルミニウム酸化膜が

形成される。本実施形態では安定化膜35を形成したが、必要に応じては安定化膜を形成しない場合もある。

【0064】図14は誘電体膜37を形成する段階を示す。

【0065】例えば、前記下部電極33上にアルミニウム源及び酸化ガスを順次チャンバーに注入して原子サイズ程度厚さ、例えば約0.5~100Å程度の厚さのアルミニウム酸化膜を形成する。以後、前述したような原子サイズ程度の厚さのアルミニウム酸化膜を形成する過程を反復して約10~300Å程度の厚さのアルミニウム酸化膜からなる誘電体膜37を形成する。このように形成される誘電体膜37は原子層蒸着法の工程特性上、ステップカバレッジが非常に良いので好ましい。例えば、アスペクト比が9:1の構造の場合はステップカバレッジを98%以上にすることができる。

【0066】誘電体膜37を形成した後、不純物の除去、誘電体膜の緻密化及び優れた化学量論的を有する誘電体膜を得るために後熱処理をすることが好ましい。処理方法としては、紫外線オゾン処理、窒素アニール、酸素アニーリング、ウェット酸化、N<sub>2</sub>、NH<sub>3</sub>、O<sub>2</sub>、N<sub>2</sub>Oなどの含酸素ガスまたは含窒素ガスを用いたRTP又は真空アニーリングを用いられる。処理条件は、本処理の目的が得られるものであれば特に限られるものではないが、例えば、900℃の温度での3時間の処理が挙げられる。幾つかの処理を実施した結果を下記の表に示す。

【0067】

【表1】

誘電体膜 厚さ(Å)	酸素アニーリング	紫外線オゾン 処理	酸素急速 熱処理	窒素アニーリング
28	0.7(28.6)		0.45(27.6)	0.9(28.0)
31	1.25(30.9)	1.55(31.2)	1.30(30.2)	1.6(30.3)
33	1.8(33.1)	2.05(33.6)	1.85(32.5)	2.1(32.6)

【0068】表1で、酸素アニーリングは750℃で30分間実施し、紫外線オゾン処理は300℃で20mw at tのエネルギーで10分間実施し、酸素RTPは750℃で3分間実施し、窒素アニーリングは750℃で3分間実施した。そして、前記表1の値はセル当たり1fAの電流を流した際にかかる電圧値であり、括弧内の数字は後熱処理した後の誘電体膜の厚さを示す。表1に示すように、紫外線オゾン処理と窒素アニーリングしたサンプルが電圧値が高いことから優れていることがわかる。なお、本実施形態では誘電体膜形成後、後熱処理を遂行したが、遂行しない場合もある。

【0069】次に、図1に示したように誘電体膜37上に上部電極39を形成する。前記上部電極39は前述したようにシリコン系物質で構成された下部電極より仕事関数が高い物質膜で構成される。上述したように、前記上部電極39はAl、Ni、Co、Cu、Mo、R

h、Pd、Sn、Au、Pt、Ru、Irなどの金属膜、Ti、TiN、TiAlN、Ta<sub>2</sub>N、TiSiN、WN、WBN、CoSi、Wなどの高融点金属膜、RuO<sub>2</sub>、RhO<sub>2</sub>、IrO<sub>2</sub>などの導電性酸化膜又はこれらの組合せより成るか、またはシリコン系物質より仕事関数が高い物質膜と不純物がドーピングされたポリシリコン膜とが順次に形成された二重膜で構成することが好ましい。本実施形態では上部電極をTiN膜と不純物がドーピングされたポリシリコン膜の二重膜とで形成することが特に好ましい。

【0070】誘電体(ゲート絶縁膜)、第1電極(下部電極、シリコン基板)、第2電極(上部電極、ゲート電極)としては上述したものと同様に使用できる。

【0071】以上、実施形態を通じて本発明を具体的に説明したが、本発明はこれに限られるものではなく、本発明の技術的思想内で当分野に通常の知識によるその変

形や改良が可能である。

【0072】

【発明の効果】 前述したように、本発明の半導体素子は一般に使用されるシリコン系物質膜、例えば不純物がドーピングされたポリシリコン膜を下部電極として採用する時、順次供給して形成された誘電体膜と、前記下部電極より仕事関数が高い物質膜からなる上部電極とで構成する。このような構成をとることにより、誘電体膜の絶縁特性を向上させられ、キャパシタ構造ではキャパシタンス値を高められる。

【図面の簡単な説明】

【図1】 本発明の半導体素子の第1の実施形態を示した断面図である。

【図2】 本発明の半導体素子の第2の実施形態を示した断面図である。

【図3】 従来のキャパシタ障壁高さと等価回路とを概略的に示した図面である。

【図4】 図1のキャパシタ障壁高さと等価回路とを概略的に示した図面である。

【図5】 従来のSISキャパシタ及び本発明のMISキャパシタの電圧と漏れ電流密度との関係を示したグラフである。

【図6】 従来のSISキャパシタ及び本発明のMISキャパシタの障壁エネルギーを示したグラフである。

【図7】 本発明のMISキャパシタにおける電圧、漏れ電流密度および誘電体膜厚さとの関係を示したグラフである。

【図8】 従来のSISキャパシタにおける電圧、漏れ電流密度および誘電体膜厚さとの関係を示したグラフである。

【図9】 図1に示したキャパシタの誘電体膜を原子層蒸着法に形成する時、各反応物の供給及びパージング過程を示したグラフである。

【図10】 原子層蒸着法により形成された誘電体膜の均一度を示したグラフである。

【図11】 原子層蒸着法により形成された誘電体膜のXPSピーク値を示した図面である。

【図12】 原子層蒸着法により形成された誘電体膜のXPSピーク値を示した図面である。

【図13】 図1に示した半導体素子のキャパシタの製造方法において、安定化膜が形成された段階を示す断面図である。

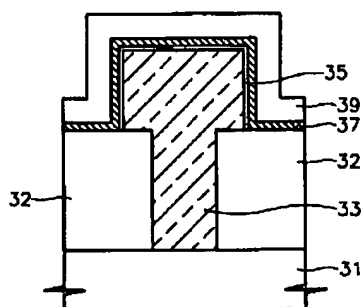
【図14】 図1に示した半導体素子のキャパシタの製造方法において、誘電体膜が形成された段階を示す断面図である。

【図15】 本発明のMISキャパシタにおいて下部電極の表面に安定化膜が形成される場合aと形成しない場合bとのアルミニウム酸化膜のサイクル当たり厚さを示したグラフである。

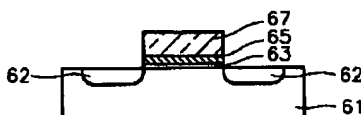
【符号の説明】

- 31 半導体基板
- 32 層間絶縁膜
- 33 下部電極
- 35 安定化膜
- 37 誘電体膜
- 39 上部電極
- 61 シリコン基板
- 65 ゲート絶縁膜
- 67 ゲート電極

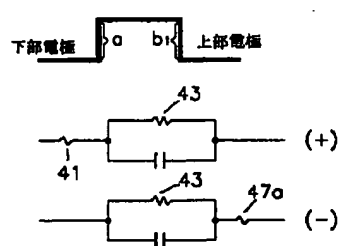
【図1】



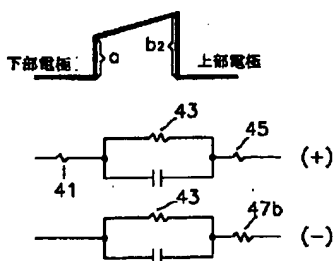
【図2】



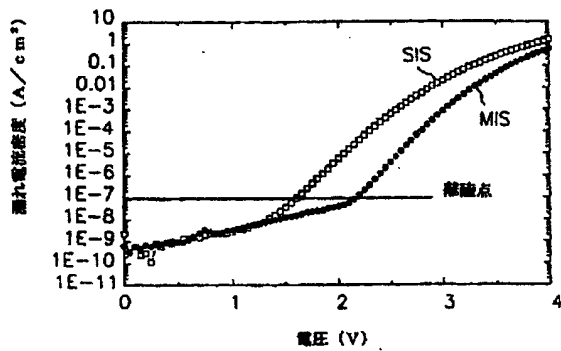
【図3】



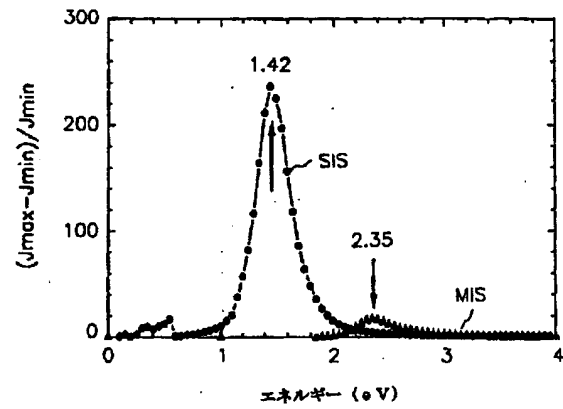
【図4】



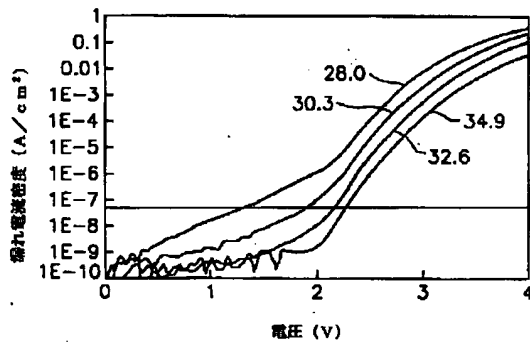
【図5】



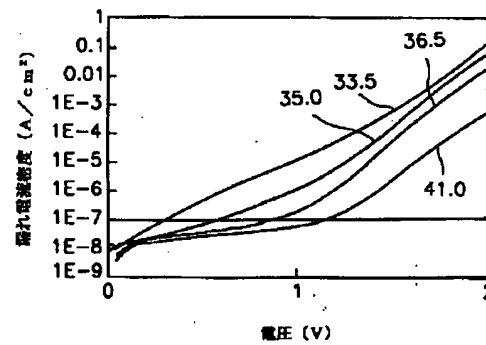
【図6】



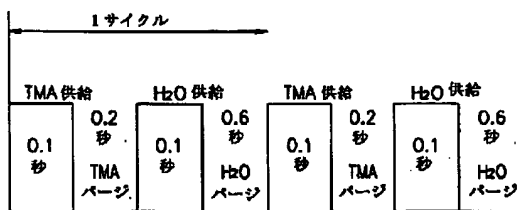
【図7】



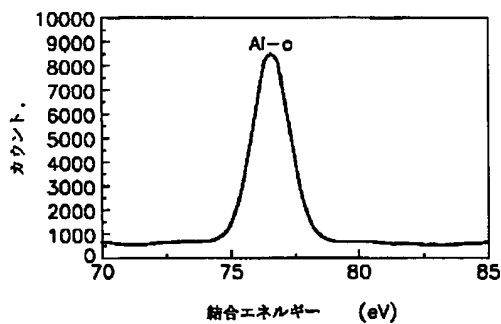
【図8】



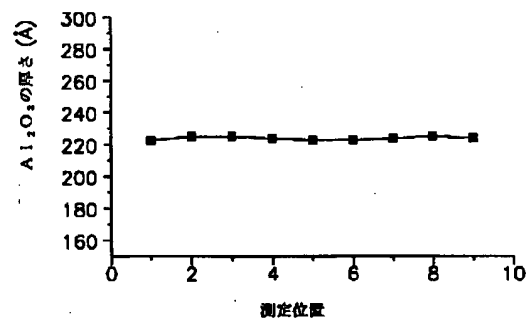
【図9】



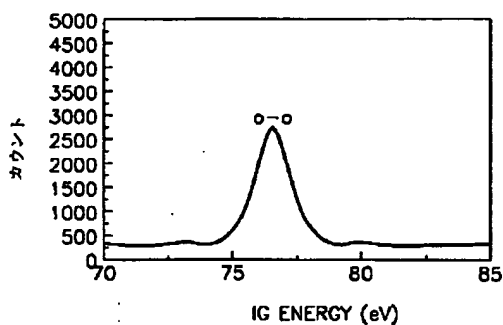
【図11】



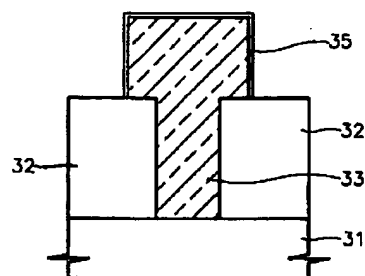
【図10】



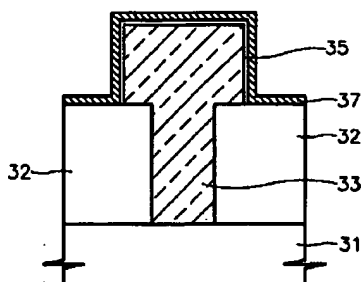
【図12】



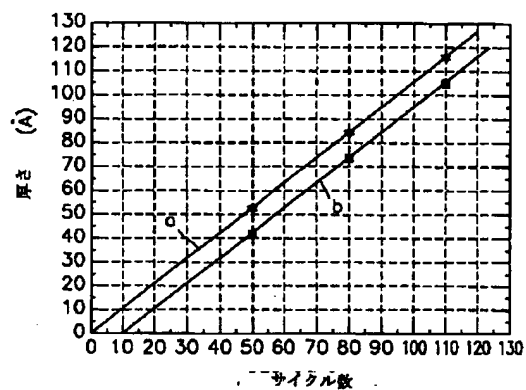
【図13】



【図14】



【図15】



フロントページの続き

(51)Int. Cl.<sup>7</sup>H01L 27/108  
21/8242  
29/43

識別記号

FI

H01L 27/10  
29/62

特73-0 (参考)

651  
G

(72)発明者 朴 泳 旭

大韓民国京畿道安養市東安区葛山洞1115番  
地 セムマウルアパート301棟703号

(72)発明者 李 相 ▲忍▼

大韓民国京畿道水原市八達区梅灘2洞 韓  
国1次アパート104棟706号

(72)発明者 張 允 億

大韓民国ソウル特別市江南区大峙洞 銀馬  
アパート28棟905号

(72)発明者 李 鍾 鎬

大韓民国京畿道軍浦市光亭洞 漢陽木蓮ア  
パート1213棟901号

(72)発明者 崔 城 ▲済▼

大韓民国ソウル特別市瑞草区瑞草洞 振興  
アパート1棟505号

(72)発明者 李 承 桓

大韓民国ソウル特別市瑞草区方背2洞 ム  
ジゲアパート2棟907号

(72)発明者 林 載 順

大韓民国ソウル特別市中浪区墨1洞122-  
47番地 天池ビラー ビー01号

(72)発明者 李 周 ▲遠▼

大韓民国京畿道水原市八達区仁溪洞158-  
30番地 鮮京2次アパート201棟505号

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**